

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: Masahiro SUNOHARA, et al.

Group Art Unit: Not Yet Assigned

Serial No.: Not Yet Assigned

Examiner: Not Yet Assigned

Filed: November 25, 2003

For: ELECTRONIC PARTS PACKAGING STRUCTURE AND METHOD OF  
MANUFACTURING THE SAME

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Date: November 25, 2003.

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

**Japanese Appln. No. 2002-351526, filed December 3, 2002**

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,

ARMSTRONG, KRATZ, QUINTOS,  
HANSON & BROOKS, LLP

*William L. Brooks*  
William L. Brooks

Attorney for Applicants

Reg. No. 34,129

WLB/jaz  
Atty. Docket No. 031287  
Suite 1000  
1725 K Street, N.W.  
Washington, D.C. 20006  
(202) 659-2930



23850

PATENT TRADEMARK OFFICE



日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 2 年 1 2 月    3 日  
Date of Application:

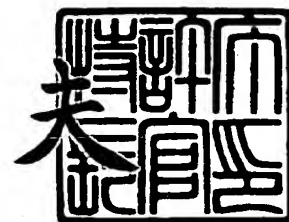
出 願 番 号            特 願 2 0 0 2 - 3 5 1 5 2 6  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 2 - 3 5 1 5 2 6 ]

出      願      人            新 光 電 気 工 業 株 式 会 社  
Applicant(s):

2 0 0 3 年 1 0 月 1 5 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 14-150

【提出日】 平成14年12月 3日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 25/00  
H05K 3/46

【発明の名称】 電子部品実装構造及びその製造方法

【請求項の数】 15

【発明者】

【住所又は居所】 長野県長野市大字栗田字舎利田 7 1 1 番地 新光電気工業株式会社内

【氏名】 春原 昌宏

【発明者】

【住所又は居所】 長野県長野市大字栗田字舎利田 7 1 1 番地 新光電気工業株式会社内

【氏名】 村山 啓

【発明者】

【住所又は居所】 長野県長野市大字栗田字舎利田 7 1 1 番地 新光電気工業株式会社内

【氏名】 真篠 直寛

【発明者】

【住所又は居所】 長野県長野市大字栗田字舎利田 7 1 1 番地 新光電気工業株式会社内

【氏名】 東 光敏

【特許出願人】

【識別番号】 000190688

【氏名又は名称】 新光電気工業株式会社

## 【代理人】

【識別番号】 100091672

【住所又は居所】 東京都中央区日本橋人形町 3 丁目 1 1 番 7 号  
山西ビル 4 階

## 【弁理士】

【氏名又は名称】 岡本 啓三

【電話番号】 03-3663-2663

## 【手数料の表示】

【予納台帳番号】 013701

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9816048

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電子部品実装構造及びその製造方法

【特許請求の範囲】

【請求項 1】 所定の配線パターンを備えた配線基板と、  
前記配線パターンに、電子部品の素子形成面の接続端子がフリップチップ接続された前記電子部品と、  
前記電子部品を被覆する絶縁膜と、  
前記接続端子の上の前記電子部品及び前記絶縁膜の所定部に形成されたビアホールと、  
前記絶縁膜上に形成され、前記ビアホールを介して、前記接続端子に接続された上側配線パターンとを有することを特徴とする電子部品実装構造。

【請求項 2】 前記電子部品及び前記絶縁膜に形成されたビアホールの側面は、連続した同一面となっていることを特徴とする請求項 1 に記載の電子部品実装構造。

【請求項 3】 所定の配線パターンを備えた配線基板と、  
前記配線パターンに、電子部品の素子形成面の接続端子がフリップチップ接続されていると共に、前記電子部品に形成された第 1 ビアホールを介して前記接続端子に接続された貫通電極を背面に備えた前記電子部品と、  
前記電子部品を被覆する絶縁膜と、  
前記貫通電極上の前記絶縁膜の所定部に形成された第 2 ビアホールと、  
前記絶縁膜上に形成され、前記第 2 ビアホールを介して、前記貫通電極に接続された上側配線パターンとを有することを特徴とする電子部品実装構造。

【請求項 4】 前記電子部品に形成された前記ビアホールの底部以外の側面部は、無機絶縁膜により被覆されていることを特徴とする請求項 1 乃至 3 のいずれか一項に記載の電子部品実装構造。

【請求項 5】 前記電子部品は、厚みが  $150\ \mu\text{m}$  程度以下の半導体チップであることを特徴とする請求項 1 乃至 4 のいずれか一項に記載の電子部品実装構造。

【請求項 6】 前記配線基板の配線パターンの上に形成された、前記電子部

品、前記絶縁膜及び前記上側配線パターンと同一の構造体が、前記上側配線パターンの上に  $n$  回 ( $n$  は 1 以上の整数) 繰り返されて多層化されて形成されており、複数の前記電子部品が前記ビアホールを介して相互接続されていることを特徴とする請求項 1 乃至 5 のいずれか一項に記載の電子部品実装構造。

【請求項 7】 前記上側配線パターンに上側電子部品の接続端子がフリップチップ接続されていることを特徴とする請求項 1 乃至 6 のいずれか一項に記載の電子部品実装構造。

【請求項 8】 ベース基板の上又は上方に形成された配線パターンに、素子形成面に接続端子を備えた電子部品の該接続端子をフリップチップ接続する工程と、

前記電子部品を被覆する絶縁膜を形成する工程と、

前記絶縁膜の上面所定部から前記電子部品の素子形成面までをエッチングすることにより、前記接続端子に到達する深さのビアホールを形成する工程と、

前記ビアホールを介して、前記接続端子に接続される上側配線パターンを前記絶縁膜上に形成する工程とを有することを特徴とする電子部品実装構造の製造方法。

【請求項 9】 ベース基板の上又は上方に形成された配線パターンに、素子形成面に接続端子を備え、かつ背面に第 1 ビアホールを介して前記接続端子に接続された貫通電極を備えた電子部品の該接続端子をフリップチップ接続する工程と、

前記電子部品を被覆する絶縁膜を形成する工程と、

前記貫通電極上の前記絶縁膜の所定部をエッチングすることにより、前記貫通電極に到達する深さの第 2 ビアホールを形成する工程と、

前記第 2 ビアホールを介して、前記貫通電極に接続される上側配線パターンを前記絶縁膜上に形成する工程とを有することを特徴とする電子部品実装構造の製造方法。

【請求項 10】 前記ビアホールを形成する工程において、RIE又はレーザにより前記絶縁膜及び前記電子部品をエッチングすることを特徴とする請求項 8 に記載の電子部品実装構造の製造方法。

【請求項 1 1】 前記上側配線パターンを形成する工程は、

前記ビアホールを含む所定部に開口部を有するレジスト膜を前記絶縁膜上に形成する工程と、

前記配線パターンと該配線パターンに接続された前記電子部品の接続端子とをめっき給電層に利用した電解めっきにより、前記ビアホールの底部に露出する接続端子から上側に向けてめっきを施して、前記ビアホールと前記レジスト膜の開口部に導電膜パターンを形成する工程と、

前記レジスト膜を除去して前記上側配線パターンを得る工程とを含むことを特徴とする請求項 8 又は 1 0 に記載の電子部品実装構造の製造方法。

【請求項 1 2】 前記ビアホールを形成する工程の後であって、前記上側配線を形成する工程の前に、

前記ビアホールの内面及び前記絶縁膜上に無機絶縁膜を形成する工程と、

前記ビアホールの底部の前記無機絶縁膜を除去して、前記ビアホールの底部に前記接続端子を露出させる工程とをさらに有することを特徴とする請求項 8 又は 1 0 に記載の電子部品実装構造の製造方法。

【請求項 1 3】 前記電子部品を配線パターンにフリップチップ接続する工程から前記上側配線パターンを形成する工程までを  $n$  回 ( $n$  は 1 以上の整数) 繰り返すことに基づいて、複数の電子部品が 3 次元的に多層化されて前記ビアホールを介して相互接続された構造を形成することを特徴とする請求項 8 乃至 1 2 のいずれか一項に記載の電子部品実装構造の製造方法。

【請求項 1 4】 前記上側配線パターンを形成する工程の後に、前記上側配線パターンに、接続端子を有する上側電子部品の該接続端子をフリップチップ接続する工程をさらに有することを特徴とする請求項 8 乃至 1 3 のいずれか一項に記載の電子部品実装構造の製造方法。

【請求項 1 5】 前記電子部品は、厚みが  $150\ \mu\text{m}$  程度以下の半導体チップであることを特徴とする請求項 8 乃至 1 4 のいずれか一項に記載の電子部品実装構造の製造方法。

【発明の詳細な説明】

【0 0 0 1】

**【発明の属する技術分野】**

本発明は電子部品実装構造及びその製造方法に係り、より詳しくは、複数の電子部品が絶縁膜に埋設された状態で相互接続された構造を有する電子部品実装構造及びその製造方法に関する。

**【0002】****【従来の技術】**

マルチメディア機器を実現するためのキーテクノロジーであるLSI技術はデータ伝送の高速化、大容量化に向かって着実に開発が進んでいる。これに伴って、LSIと電子機器とのインターフェイスとなる実装技術の高密度化が進められている。

**【0003】**

さらなる高密度化の要求から、配線基板上に複数の半導体チップを3次元的に積層して実装したマルチチップパッケージ（半導体装置）が開発されている。その一例として、配線基板上に複数の半導体チップが絶縁膜に埋設された状態で3次元的に実装され、かつ絶縁膜に形成されたビアホール及び配線パターンを介して複数の半導体チップが相互接続された構造を有する半導体装置がある。（例えば、特許文献1、2及び3）。

**【0004】****【特許文献1】**

特開2001-196525号公報

**【特許文献2】**

特開2001-177045号公報

**【特許文献3】**

特開2000-323645号公報

**【0005】****【発明が解決しようとする課題】**

近年、さらなる高密度化実装に対応するために、複数の半導体チップが絶縁膜に埋設されて実装され、かつ半導体チップと絶縁膜とに形成されたビアホールを介して複数の半導体チップが相互接続された構造が検討されている。上記した特



許文献 1～3 は、いずれも絶縁膜に形成されたビアホールを介して複数の半導体チップが相互接続されている構造に関するものであって、上記したような実装構造に関しては何ら考慮されていない。

#### 【0006】

本発明は以上の課題を鑑みて創作されたものであり、電子部品が絶縁膜に埋設され、かつ電子部品及び絶縁膜に形成されたビアホールを介して複数の電子部品が相互接続された構造を有し、かつ簡易な方法により製造することができる電子部品実装構造及びその製造方法を提供することを目的とする。

#### 【0007】

##### 【課題を解決するための手段】

上記課題を解決するため、本発明は電子部品実装構造に係り、所定の配線パターンを備えた配線基板と、前記配線パターンに、電子部品の素子形成面の接続端子がフリップチップ接続された前記電子部品と、前記電子部品を被覆する絶縁膜と、前記接続端子の上の前記電子部品及び前記絶縁膜の所定部に形成されたビアホールと、前記絶縁膜上に形成され、前記ビアホールを介して、前記接続端子に接続された上側配線パターンとを有することを特徴とする。

#### 【0008】

本発明の電子部品実装構造では、まず、配線基板の配線パターンに電子部品（半導体チップなど）の接続端子がフリップチップ接続される。その後、電子部品を被覆する絶縁膜が形成される。続いて、接続端子上の電子部品及び絶縁膜の所定部が R I E やレーザにより連続的にエッチングされて、接続端子が露出するビアホールが形成される。その後に、電子部品と絶縁膜とに形成されたビアホールを介して接続端子に接続される上側配線パターンが絶縁膜上に形成される。

#### 【0009】

このように、本発明の電子部品実装構造では、例えば、絶縁膜と電子部品とに一回のエッチングで連続的にビアホールが形成され、しかも接続端子にビアホールを介して接続されて絶縁膜上に延びる上側配線パターンは一回の電解めっきにより形成される。すなわち、本発明の電子部品実装構造は極めて簡易な製造方法により製造されるため、その製造コストが低減される共に、製造納期の遅延が防

止される。

#### 【0010】

本発明の一つの好適な態様では、前記電子部品として、その厚みが $150\mu\text{m}$ 程度以下に薄型化された半導体チップが用いられる。また、前記配線パターンの上に形成された、前記電子部品、前記絶縁膜、及び前記上側配線パターンと同一の構造体が、前記上側配線パターンの上に $n$ 回（ $n$ は1以上の整数）繰り返されて多層化されて形成されており、複数の前記電子部品が前記ビアホールを介して相互接続されているようにしてもよい。

#### 【0011】

この場合、電子部品実装構造をそのトータルの厚みを薄くすることができるので、高密度化に対応することができる。さらには、上下の電子部品を垂直方向の配線で相互接続を行なうようにしたので、ワイヤで結線する場合や横方向の配線引き回しを伴って配線する場合より配線長を短くすることができる。これにより、高周波用途の電子部品では信号速度の高速化に対応できるようになる。

#### 【0012】

また、上記した課題を解決するため、本発明は電子部品実装構造の製造方法に係り、ベース基板の上又は上方に形成された配線パターンに、素子形成面に接続端子を備えた電子部品の該接続端子をフリップチップ接続する工程と、前記電子部品を被覆する絶縁膜を形成する工程と、前記絶縁膜の上面所定部から前記電子部品の素子形成面までをエッチングすることにより、前記接続端子に到達する深さのビアホールを形成する工程と、前記ビアホールを介して、前記接続端子に接続される上側配線パターンを前記絶縁膜上に形成する工程とを有することを特徴とする。

#### 【0013】

本発明の電子部品実装構造の製造方法を用いることにより、上記したように本発明の電子部品実装構造を極めて簡易に製造することができる。

#### 【0014】

本発明の一つの好適な態様では、前記上側配線パターンを形成する工程は、前記ビアホールを含む所定部に開口部を有するレジスト膜を前記絶縁膜上に形成す

る工程と、前記配線パターンと該配線パターンに接続された前記電子部品の接続端子とをめっき給電層に利用した電解めっきにより、前記ビアホール底部に露出する接続端子から上側に向けてめっきを施して、前記ビアホールと前記レジスト膜の開口部に導電膜パターンを形成する工程と、前記レジスト膜を除去して前記上側配線パターンを得る工程とを有する。

#### 【0015】

このようにすることにより、ビアホール内とレジスト膜の開口部に導電膜パターンを形成する工程において、ビアホール底部に露出する接続端子から上側に向けて順次めっきが施されて導電膜パターンが形成されるため、ビアホール内にボイドが発生することなく導電膜が埋め込まれて形成される。従って、電子部品の接続端子と上側配線パターンとのビアホールを介した電氣的な接続の信頼性を向上させることができるので、電子部品実装構造の製造歩留りを向上させることができる。

#### 【0016】

##### 【発明の実施の形態】

以下、本発明の実施の形態について、添付の図面を参照して説明する。

#### 【0017】

##### (第1の実施の形態)

図1～図4は本発明の第1実施形態の電子部品実装構造の製造方法を順に示す断面図である。本発明の第1実施形態の電子部品実装構造の製造方法は、まず、図1(a)に示すように、所定の素子や多層配線(不図示)などが形成された半導体ウェハ10を用意する。この半導体ウェハ10の素子形成面にはA1などからなる接続パッド10aが露出して設けられている。その後、図1(b)に示すように、半導体ウェハ10の素子不形成面(背面)を研削することにより、半導体ウェハ10の厚みを15.0 $\mu$ m程度以下にする。

#### 【0018】

次いで、図1(c)に示すように、接続パッド10aの所定部に対応する部分に開口部12aを有するレジスト膜12を半導体ウェハ10の背面に形成する。続いて、このレジスト膜12をマスクにして半導体ウェハ10をその背面側から

R I E (Reactive Ion Etching) によりエッチングすることにより、半導体ウェハ 10 の素子形成面側の接続パッド 10 a に到達する深さのビアホール 10 b を形成する。

#### 【0019】

次いで、図 1 (d) に示すように、レジスト膜 12 を除去した後に、半導体チップ 10 のビアホール 10 b 内面及び背面に C V D などによりシリコン酸化膜などの無機絶縁膜 14 を形成する。続いて、ビアホール 10 b の底部の無機絶縁膜 14 をレーザなどにより除去することにより、ビアホール 10 b の底部に接続パッド 10 a を露出させる (図 1 (d) の A で示す部分)。無機絶縁膜 14 は、ビアホール 10 b 内に充填される導電体と半導体ウェハ 10 とを絶縁するために形成される。

#### 【0020】

次いで、図 2 (a) に示すように、半導体ウェハ 10 のビアホール 10 b 内面及び背面に無電解めっきやスパッタ法によりシード C u 膜 (不図示) を形成し、ビアホール 10 b を含む所定部に開口部 12 a を有するレジスト膜 12 をシード C u 膜上に形成する。続いて、このシード C u 膜をめっき給電層に利用した電解めっきにより、ビアホール 10 b 内及びレジスト膜 12 の開口部 12 a に C u 膜パターン 16 a を形成する。

#### 【0021】

次いで、図 2 (b) に示すように、レジスト膜 12 を除去した後に、C u 膜パターン 16 a をマスクにしてシード C u 膜をエッチングすることにより、ビアホール 10 b を介して接続パッド 10 a に接続された貫通電極 16 とする。その後、図 2 (c) に示すように、半導体ウェハ 10 をダイシングすることにより、個片化された半導体チップ 20 を得る。半導体チップ 20 の接続パッド 10 a に接続されたバンプ 11 は半導体ウェハ 10 がダイシングされる前又は後に形成される。接続パッド 10 a 及びバンプ 11 は接続端子の一例である。なお、半導体チップ 20 の他に、コンデンサ部品などの各種電子部品を使用することができる。

#### 【0022】

次いで、図3（a）に示すように、半導体チップ20が実装される配線基板40を用意する。この配線基板40では、樹脂などから構成されるベース基板30にスルーホール30aが設けられていて、その内面にベース基板30上の第1配線パターン32に繋がるスルーホールめっき層30bが形成され、その孔は樹脂体30cで埋め込まれている。

#### 【0023】

また、第1配線パターン32上にはビアホール34xを有する第1層間絶縁膜34が形成されている。さらに、第1層間絶縁膜34上にはビアホール34xを介して第1配線パターン32に接続された第2配線パターン32aが形成されている。

#### 【0024】

続いて、図3（b）に示すように、このような配線基板40の第2配線パターン32aに前述した半導体チップ20の bumps 11をフリップチップ接続する。その後に、半導体チップ20と第2配線パターン32a及び第1層間絶縁膜34との隙間にアンダーフィル樹脂18を充填する。

#### 【0025】

次いで、半導体チップ20を被覆する第2層間絶縁膜34aを形成する。続いて、半導体チップ20の貫通電極16上の第2層間絶縁膜34aの所定部をレーザーなどによりエッチングして貫通電極16の上面に到達する深さのビアホール34yを形成する。

#### 【0026】

続いて、図3（c）に示すように、前述した半導体ウェハ10のビアホール10bに貫通電極16を形成する方法と同様な方法（セミアディティブ法など）により、ビアホール34yを介して貫通電極16に接続された第3配線パターン32b（上側配線パターン）を形成する。

#### 【0027】

なお、その後に、前述した半導体チップ20の bumps 11を第2配線パターン32aにフリップチップ接続する工程から、第3配線パターン32bを形成する工程まで所定回数繰り返してもよい。この場合、複数の半導体チップ20がそれ

ぞれ層間絶縁膜に埋設されて3次元的に実装され、かつ複数の半導体チップ20が半導体チップ20と層間絶縁膜とに形成されたビアホールを介して相互接続される。

#### 【0028】

次いで、図4に示すように、第3配線パターン32bの接続部に開口部を有するソルダレジスト膜21を形成した後、第3配線パターン32bの接続部に無電解めっきによりNi/Au膜42を形成する。

#### 【0029】

続いて、バンプ11を備えた上側半導体チップ20aのバンプ11を第3配線パターン32b上のNi/Au膜42にフリップチップ接続する。以上により、本実施形態の電子部品実装構造1が得られる。

#### 【0030】

第1実施形態の電子部品実装構造1では、150 $\mu$ m程度（好適には50 $\mu$ m程度）以下に薄型化された半導体チップ20が第2層間絶縁膜34aに埋設された状態で第2配線パターン32aにフリップチップ接続されている。そして、半導体チップ20にはビアホール10bが形成されていて、その素子形成面の接続パッド10aがビアホール10bを介して背面の貫通電極16に接続されている。また、半導体チップ20を被覆する第2層間絶縁膜34aにビアホール34yが形成されていて、このビアホール34yを介して貫通電極16に接続された第3配線パターン32bが形成されている。

#### 【0031】

さらに、同様な構成の複数の半導体チップ20が多層化されて3次元的に実装され、これらの半導体チップ20がそれらに形成された貫通電極16と層間絶縁膜に形成されたビアホールとを介して相互接続されるようにしてもよい。

#### 【0032】

また、第3配線パターン32b上のNi/Au膜42には上側半導体チップ20aのバンプ11がフリップチップ接続されている。

#### 【0033】

このような実装構造とすることにより、電子部品実装構造のトータルの厚みを

薄くすることができると共に、上下の半導体チップ20を垂直方向の配線で相互接続を行なうようにしたので、ワイヤで結線する場合や横方向の配線引き回しを伴って配線する場合より配線長を短くすることができる。これにより、高周波用途の半導体装置では信号速度の高速化に対応できるようになる。

#### 【0034】

(第2の実施の形態)

図5～図10は本発明の第2実施形態の電子部品実装構造の製造方法を順に示す断面図である。前述した第1実施形態では、まず、貫通電極16を有する半導体チップ20が配線基板40にフリップチップ実装された後に、第2層間絶縁膜34aが形成されて貫通電極16を露出させるビアホール34yが形成される。その後、第2層間絶縁膜34aのビアホール34yを介して半導体チップ20の背面の貫通電極16に接続された第3配線パターン32bが第2層間絶縁膜34a上に形成される。

#### 【0035】

このように、第1実施形態では、半導体チップ20の接続パッド10aにビアホールを介して接続される第3配線パターン32bを、第2層間絶縁膜34a上に持ち上げて形成するには、まず、半導体チップ20と第2層間絶縁膜34aとにビアホールを10b、34yをそれぞれ別工程で形成する必要がある(ビアホール形成用のRIE工程やレーザ工程が2回必要)。しかも、半導体チップ20のビアホール10bに貫通電極16を形成し、さらに後工程で第2層間絶縁膜34aのビアホール34yに配線パターン32bを形成する必要がある(電解めっき工程が2回必要)。

#### 【0036】

上記したRIE工程(又はレーザ工程)や電解めっき工程で使用する製造装置は比較的高価であるため、第1実施形態のようにRIEや電解めっきの工数が多くなると、必然的に多くの設備投資を必要とし、その結果、製造コストの上昇を招く場合が想定される。さらには、製造工数が多くなるため、製品の納期が遅延してしまうといった不具合が発生する場合がある。

#### 【0037】

第2実施形態の電子部品実装構造の製造方法は、このような不具合を解消することができる。

#### 【0038】

本発明の第2実施形態の電子部品実装構造の製造方法は、図5(a)に示すように、まず、ビルドアップ配線基板を製造するためのベース基板30を用意する。このベース基板30は樹脂などの絶縁性材料から構成されている。そして、このベース基板30には、スルーホール30aが設けられていて、そのスルーホール30a内には、ベース基板30の両面に設けられた配線パターン32に繋がるスルーホールめっき層30bが形成されている。さらに、スルーホール30aの孔には樹脂体30cが充填されている。

#### 【0039】

その後、このベース基板30の両面に第1配線パターン32を被覆する第1層間絶縁膜34をそれぞれ形成する。第1層間絶縁膜34としては、例えば、エポキシ系樹脂、ポリイミド系樹脂、ポリフェニレンエーテル系樹脂などが使用される。すなわち、ベース基板30の両面の第1配線パターン32上にこれらの樹脂フィルムをそれぞれラミネートした後、80～140℃で熱処理して硬化させることにより樹脂層とする。

#### 【0040】

なお、第1層間絶縁膜34としての樹脂膜は、上記した樹脂フィルムをラミネートする方法の他に、樹脂膜をスピンコート法又は印刷により形成するようにしてもよい。また、樹脂膜の他にCVD法により形成されたシリコン酸化膜などの無機絶縁膜を使用してもよい。

#### 【0041】

次いで、ベース基板30の両面側の第1配線パターン32上の第1層間絶縁膜34の所定部をレーザによりそれぞれエッチングすることにより、第1ビアホール34xを形成する。続いて、第1ビアホール34xを介して第1配線パターン32に接続される第2配線パターン32aを例えばセミアディティブ法によりベース基板30の両面側の第1層間絶縁膜34上にそれぞれ形成する。

#### 【0042】



すなわち、まず、第1ビアホール34xの内面上及び第1層間絶縁膜34上に無電解めっきやスパッタ法によりシードCu膜（不図示）を形成する。その後、シードCu膜上に第2配線パターンに対応する開口部を有するレジスト膜（不図示）を形成する。続いて、シードCu膜をめっき給電層層に利用した電解めっきによりレジスト膜の開口部にCu膜パターン（不図示）を形成する。

#### 【0043】

次いで、レジスト膜を除去した後に、Cu膜パターンをマスクにしてシードCu膜をエッチングすることにより、第2配線パターン32aとする。なお、セミアディティブ法の代わりに、サブトラクティブ法又はフルアディティブ法を用いて第2配線パターン32aを形成してもよい。

#### 【0044】

次いで、図5（b）に示すように、素子形成面に接続パッド10aとそれに接続されたバンプ11とを有する半導体チップ20を用意する。すなわち、前述した第1実施形態の図1（a）及び（b）と同様に、所定素子及び接続パッド10aを備え、厚みが400 $\mu$ m程度の半導体ウェハ10の素子不形成面（背面）が研削されてその厚みが150 $\mu$ m程度以下（好適には50 $\mu$ m以下）に薄型化される。その後に、半導体ウェハ10がダイシングされて個片化された半導体チップ20が得られる。半導体チップ20のバンプ11は半導体ウェハがダイシングされる前又は後に形成される。

#### 【0045】

なお、接続パッド10a及びバンプ11は接続端子の一例である。また、電子部品の一例として半導体チップ20を挙げたが、この他にコンデンサ部品などの各種電子部品を使用することができる。

#### 【0046】

第2実施形態においては、この時点では、半導体チップ20にビアホールが形成されておらず、後述するように半導体チップ20が実装された後にビアホールが形成される。

#### 【0047】

その後、同じく図5（b）に示すように、半導体チップ20のバンプ11を第

2 配線パターン 32a にフリップチップ接続する。続いて、半導体チップ 20 と第 2 配線パターン 32a 及び第 1 層間絶縁膜 34 との隙間にアンダーフィル樹脂 18 を充填する。あるいは、半導体チップ 20 を接合する前に予め半導体チップ 20 の実装部分を含む領域に絶縁樹脂 (NCF 又は NCP) を塗布し、この樹脂を介在させた状態でフリップチップ接続を行なうようにしてもよい。

#### 【0048】

次いで、図 5 (c) に示すように、半導体チップ 20 及び第 2 配線パターン 32a 上に第 2 層間絶縁膜 34a を形成することにより、半導体チップ 20 を第 2 層間絶縁膜 34a 内に埋設させる。第 2 層間絶縁膜 34a は前述した第 1 層間絶縁膜 34 と同様な材料及び方法により形成される。このとき、ベース基板 30 の半導体チップ 20 が実装されていない面の第 2 配線パターン 32a 上にも第 2 層間絶縁膜 34a が形成される。

#### 【0049】

続いて、図 6 (a) に示すように、半導体チップ 20 の接続パッド 10a 上の第 2 層間絶縁膜 34a の所定部を露出させる開口部 13a を有するレジスト膜 13 をフォトリソグラフィにより形成する。その後、レジスト膜 13 をマスクにして、RIE (Reactive Ion Etching) により第 2 層間絶縁膜 34a と半導体チップ 20 とをエッチングすることにより、半導体チップ 20 の接続パッド 10a に到達する深さのビアホール 36 を形成する。

#### 【0050】

この工程の好適な一例について詳しく説明すると、最初に、エッチングガスとして酸素 ( $O_2$ )、圧力が  $10 \sim 100$  Pa、ステージ温度が室温  $\sim 100^\circ C$  程度の RIE 条件で第 2 層間絶縁膜 (樹脂膜) 34a をエッチングする。その後、エッチングガスとして六フッ化イオウ ( $SF_6$ )、圧力が  $10 \sim 100$  Pa、ステージ温度が室温  $\sim 100^\circ C$  程度の RIE 条件で半導体チップ (シリコンチップ) 20 をエッチングする。このとき、Al などからなる接続パッド 10a でエッチングがストップする。その後、レジスト膜 13 を除去する。

#### 【0051】

この RIE 工程では、一つの RIE 装置の異なるチャンバで第 1 層間絶縁膜 3

4 a と半導体チップ 20 とをそれぞれエッチングするようにしてもよいし、あるいは同一チャンバ内でエッチングガスを切替えてエッチングするようにしてもよい。

#### 【0052】

なお、この工程は、図 6 (b) に示すように、上記した R I E に代えて、レーザによりビアホール 36 を形成するようにしてもよい。その場合の好適な一例としては、発振波長が 355 nm、周波数が 1000～5000 Hz の Y A G レーザにより第 1 層間絶縁膜 (樹脂膜) 34 a と半導体チップ (シリコンチップ) 20 とを同一条件で連続してエッチングすることができる。この場合も、レーザでのエッチングは接続パッド 10 a でストップする。

#### 【0053】

このように、本実施形態の電子部品実装構造の製造方法では、半導体チップ 20 上に第 2 層間絶縁膜 34 a を形成した後に、R I E 又はレーザを使用することにより、第 2 層間絶縁膜 34 a 及び半導体チップ 20 を連続してエッチングしてビアホール 36 を形成するようにしている。つまり、極めて簡易な方法で第 2 層間絶縁膜 34 a 及び半導体チップ 20 に同時にビアホール 36 が形成される。

#### 【0054】

なお、前述した第 1 実施形態では、薄型化されて剛性の弱い半導体ウェハ 10 をエッチングしてビアホール 10 b を形成する必要があるので、薄型の半導体ウェハ 10 を R I E 装置などでエッチングする際のハンドリングなどを考慮すると薄型化に限界がある。しかしながら、第 2 実施形態では、薄型化された半導体チップ 20 が剛性の強い配線基板 40 に実装された状態でビアホール 36 を形成するようにしていることから、第 1 実施形態より半導体チップ 10 の厚みを薄くできるという観点からも都合がよい。

#### 【0055】

次いで、図 7 (a) に示すように、ビアホール 36 内面及び第 2 層間絶縁膜 34 a 上に C V D などによりシリコン酸化膜などの無機絶縁膜 38 を形成する。この無機絶縁膜 38 は、後工程でビアホール 36 内に充填される導電体と半導体チップ 20 との間を絶縁するために形成される。なお、無機絶縁膜 38 も層間絶縁

膜として残るので、無機絶縁膜 38 を含めて第 2 層間絶縁膜 34 a (絶縁膜) という場合もある。

#### 【0056】

次いで、図 7 (b) に示すように、ビアホール 36 の底部の無機絶縁膜 38 をレーザなどによりエッチングして除去する。これにより、ビアホール 36 の底部に半導体チップ 20 の接続パッド 10 a の一部が露出する (図 7 (b) の B で示される部分)。

#### 【0057】

次に、半導体チップ 20 の接続パッド 10 a にビアホール 36 を介して接続される第 3 配線パターンを電解めっきにより形成する方法について説明する。図 8 (a) に示すように、本実施形態では、第 3 配線パターンを形成する前の時点では、第 2 配線パターン 32 a はその外周部に設けられた外枠配線部 33 に繋がっており、この外枠配線部 33 にはめっき電流を供給するためのめっき給電部 33 x が画定されている。このめっき給電部 33 x 上の第 2 層間絶縁膜 34 a 及び無機絶縁膜 38 がエッチングされて開口部 34 x が形成されており、めっき給電部 33 x が開口部 34 x 内に露出した状態となっている。

#### 【0058】

そして、電解めっきを施す際に、この外枠配線部 33 のめっき給電部 33 x に電解めっき装置の陰極電極 15 が接続されて、外枠配線部 33 に繋がる第 2 配線パターン 32 a がめっき給電層として機能するようにしている。つまり、第 2 配線パターン 32 a とそれに接続された半導体チップ 20 のバンプ 11 とを介して半導体チップ 20 の接続パッド 10 a にめっき電流が供給されるようになっている。

#### 【0059】

この様子を図 8 (a) の平面方向から透視したものが図 8 (b) である。なお、図 8 (a) は図 8 (b) の I-I に沿った断面図と II-II に沿った断面図とを合成したものに相当する。また図 8 (b) ではレジスト膜 19 が省略されて描かれている。

#### 【0060】

図 8 (b) に示すように、くし歯状の第 2 配線パターン 32 a に半導体チップ 20 のバンプ 11 が接合されている。これらの第 2 配線パターン 32 a は半導体チップ 20 の実装領域の外周部に設けられた外枠配線部 33 に繋がっている。さらに、この外枠配線部 33 に画定されためっき給電部 33 x 上には開口部 34 x が形成されおり、電解めっき装置の陰極電極 15 がめっき給電部 33 x に接続される。そして、上記したようにめっき給電部 33 x から第 2 配線パターン 32 a 及びバンプ 11 経由して、ビアホール 36 の底部に露出する接続パッド 10 a にめっき電流が供給される。

#### 【0061】

図 8 (b) には特に明記されていないが、複数の半導体チップ 20 が複数の実装領域に同様な構成でそれぞれ実装されており、複数の実装領域のそれぞれの第 2 配線パターン 32 a は上記した外枠配線部 33 に繋がっている。このようにして、複数の実装領域に形成された第 2 配線パターン 32 a にめっき電流を同時に供給することができるようになっている。

#### 【0062】

外枠配線部 33 のめっき給電部 33 x を露出させるには、前述したビアホール 36 を形成する工程及びビアホール 36 の底部の無機絶縁膜 38 を除去する工程において、めっき給電部 33 x 上の第 2 層間絶縁膜 34 a 及び無機絶縁膜 38 をそれぞれの工程で同時にエッチングするようにすればよい。

#### 【0063】

そして、図 8 (a) に示すように、無機絶縁膜 38 上に電解めっきのマスクとなるレジスト膜 19 がパターンニングされる。このレジスト膜 19 は、外枠配線部 33 のめっき給電部 33 x が露出し、かつビアホール 36 を含む所定部に開口部 19 a が形成されるようにパターンニングされる。

#### 【0064】

その後、Cu 膜用の電解めっき装置を用いてその陰極電極 15 を外枠配線部 33 のめっき給電部 33 x に接続させてレジスト膜 19 をマスクにして Cu 膜のめっきを開始する。

#### 【0065】

このとき、上記したように、めっき給電層としての第2配線パターン32aは、半導体チップ20の bumps 11 を介して接続パッド10aに電氣的に接続されているため、めっき電流が半導体チップ20の接続パッド10aに供給されることになる。

#### 【0066】

これにより、Cu膜（導電膜）は、ビアホール36の底部に露出する接続パッド10aの上面からその上側に向って順次成膜される（ボトムアップ方式）。つまり、ビアホール36内にCu膜（導電膜）が充填された後に、レジスト膜19の開口部19aにCu膜パターン（導電膜パターン）が成膜される。その後に、レジスト膜19が除去される。

#### 【0067】

これにより、図9（a）に示すように、Cuプラグ31とそれに繋がる第3配線パターン32bとが形成されて、半導体チップ20の接続パッド10aと第3配線パターン32bとがビアホール36を介して電氣的に接続される。

#### 【0068】

このように、ビアホール36の底部に露出する接続パッド10aをめっき給電層に利用してビアホール36の底部から上側にCu膜を順次成膜することにより、ビアホール36内でのボイドの発生が防止されてCu膜がビアホール36内に安定して充填される。このため、例えばビアホール36の径が20 $\mu$ m程度以下、深さが40 $\mu$ m程度以上の高アスペクト比の場合であっても、ボイドの発生が防止されて接続パッド10aと第3配線パターン32bとの電氣的な接続の信頼性を向上させることができる。

#### 【0069】

なお、第3配線パターン32bを形成する工程において、第2配線パターン32aを形成する工程で説明したセミアディティブ法、又はサブトラクティブ法もしくはフルアディティブ法を用いて形成するようにしてもよい。

#### 【0070】

その後に、ベース基板10の半導体チップ20が実装されていない面側の第2層間絶縁膜34aに第2ビアホール34yが形成され、さらにこの第2ビアホー

ル 34y を介して第 2 配線パターン 32a に接続された第 3 配線パターン 32b が形成される。

#### 【0071】

次いで、図 9 (b) に示すように、第 3 配線パターン 32b の接続部 32x に開口部 21a を有するソルダレジスト膜 21 をベース基板 10 の両面側にそれぞれ形成する。続いて、ベース基板 10 の両面側の第 3 配線パターン 32b の接続部 32x に、ソルダレジスト膜 21 をマスクにして無電解めっきにより Ni/Au 膜 42 を形成する。

#### 【0072】

その後に、バンプ 11 を備えた上側半導体チップ 20a のバンプ 11 を第 3 配線パターン 32b 上の Ni/Au 膜 42 にフリップチップ接続する。

#### 【0073】

続いて、図 9 (b) の構造体を所定数の半導体チップ 20 を含む所要領域が得られるようにして分割する。このとき、前述した第 2 配線パターン 32a に繋がる外枠配線部 33 は廃棄される。なお、ソルダレジスト膜 21 が形成された状態の図 9 (a) の構造体を分割した後に、上側半導体チップ 20a を実装するようにしてもよい。

#### 【0074】

これにより、図 10 に示すように、本発明の第 2 実施形態の電子部品実装構造 1a が得られる。本実施形態の電子部品実装構造 1a では、LGA (Land Grid Array) タイプのものを例示しており、この場合、はんだボールが実装基板 (マザーボード) 側の配線パッドに搭載され、そのはんだボールが電子部品実装構造 1a の背面側の第 3 配線パターン 32b に電氣的に接続される。あるいは、逆に、電子部品実装構造 1a の第 3 配線パターン 32b の接続部 32x にバンプを搭載するようにしてもよい。

#### 【0075】

次に、第 2 実施形態に係るその他の形態を例示する。図 11 は本発明の第 2 実施形態の電子部品実装構造に係るその他の形態を示す断面図である。なお、図 11 において図 10 と同一要素には同一符号を付してその説明を省略する。

## 【0076】

すなわち、前述した図9（a）の工程の後（第3配線パターン32bを形成した後）に、前述した図5（b）の半導体チップ20を実装する工程から、図9（a）の第3配線パターン32bを形成する工程をn回（nは1以上の整数）繰り返すようにしてもよい。さらには、図10のベース基板30の半導体チップ20が実装されていない面側に一以上の半導体チップ20を同様な構造で実装するようにしてもよい。

## 【0077】

図11には上記したその他の形態の一例の電子部品実装構造1bが示されており、ベース基板30の一方の面側に2つの半導体チップ20がそれぞれ第2、第3層間絶縁膜34a、34bに埋設された状態で、そのバンプ11がそれぞれ第2、第3配線パターン32a、32bにフリップチップ接続されている。そして、2つの半導体チップ20はそれらと第2、第3層間絶縁膜34a、34bとにそれぞれ形成されたビアホール36を介して相互接続されている。さらに、最上層の第4配線パターン32c上のNi/Au膜42に上側半導体チップ20aのバンプ11がフリップチップ接続されている。

## 【0078】

またベース基板30の他方の面側にも半導体チップ20が同様な構造で実装されていて、ベース基板30の両面側に実装された複数の半導体チップ20はビアホール36及びベース基板30のスルーホール30aを介して相互接続されている。

## 【0079】

このように、複数の半導体チップ20がベース基板30の両面側にそれぞれ層間絶縁膜に埋設されて多層化されて実装され、かつ複数の半導体チップ20がビアホール36などを介して相互接続された形態としてもよい。

## 【0080】

以上説明したように、本実施形態の電子部品実装構造1a、1bでは、ベース基板30の両面に層間絶縁膜と配線パターンとが交互に形成され、半導体チップ20が所定の層間絶縁膜に埋設された状態で所定の配線パターンにフリップチッ



プ接続されている。そして、半導体チップ20とそれを被覆する層間絶縁膜の所定部には、半導体チップ20の素子形成面側の接続パッド10aに到達する深さのビアホール36が形成されている。

#### 【0081】

また、このビアホール36を介して、半導体チップ20の接続パッド10aに接続された配線パターンが半導体チップ20を被覆する層間絶縁膜上に形成されている。このビアホール36は、層間絶縁膜と半導体チップ20とが1回のエッチングで連続して形成されるため、その側面全体にわたって連続した同一面となって形成されている。さらに、最上層の配線パターンには上側半導体チップ20aのバンプ11が接続されている。

#### 【0082】

このようにして複数の半導体チップ20を3次的に多層化して実装することにより、層間絶縁膜に埋設された複数の半導体チップ20がビアホール36を介して相互接続された形態とすることができる。

#### 【0083】

第2実施形態の電子部品実装構造は第1実施形態と同様な効果を奏する。

#### 【0084】

また、本実施形態の電子部品実装構造1a, 1bの製造方法では、第2層間絶縁膜34aと半導体チップ20とをRIE又はレーザにより連続してエッチングしてビアホール36を形成するようにしている。このようにすることにより、工定数が少ない極めて簡易な方法でビアホール36を形成することができる。しかも、ビアホール36を介して半導体チップ20の接続パッド10aに接続される第3配線パターン32bを1回の電解めっきで層間絶縁膜上に持ち上げて形成することができるようになる。

#### 【0085】

このため、第1実施形態のような半導体チップ20に貫通電極16を形成した後に半導体チップ20を実装する場合に比べて、高価な製造装置を用いるRIE工程や電解めっき工程の工数を削減することができるので、製造コストが上昇したり、納期が遅延したりするなどの不具合が解消される。

## 【0086】

また、ビアホール36内に第3配線パターン32bを電解めっきで形成する際に、ビアホール36の底部に露出する接続パッド10aをめっき給電層として利用することにより、ビアホール36内でのボイドの発生が防止される。これにより、半導体チップ20の接続パッド10aと第3配線パターン32bとの接続の信頼性を向上させることができるので、電子部品実装構造の製造歩留りを向上させることができる。

## 【0087】

## 【発明の効果】

以上説明したように、本発明の電子部品実装構造は、配線基板の配線パターンに電子部品の接続端子がフリップチップ接続され、電子部品とその上に形成された絶縁膜との所定部にビアホールが形成されている。そして、ビアホールを介して接続端子に接続された上側配線パターンが絶縁膜上に形成されている。

## 【0088】

このような実装構造とすることにより、絶縁膜と電子部品とに一回のエッチングで連続的にビアホールが形成され、しかも接続端子にビアホールを介して接続されて絶縁膜上に延びる上側配線パターンは一回の電解めっきにより形成される。

## 【0089】

このように、本発明の電子部品実装構造は、極めて簡易な製造方法により製造されるため、その製造コストが低減される共に、製造納期の遅延が防止される。

## 【図面の簡単な説明】

## 【図1】

図1(a)～(d)は本発明の第1実施形態の電子部品実装構造の製造方法を示す断面図(その1)である。

## 【図2】

図2(a)～(c)は本発明の第1実施形態の電子部品実装構造の製造方法を示す断面図(その2)である。

## 【図3】

図3 (a) ~ (c) は本発明の第1実施形態の電子部品実装構造の製造方法を示す断面図 (その3) である。

【図4】

図4 は本発明の第1実施形態の電子部品実装構造の製造方法を示す断面図 (その3) である。

【図5】

図5 (a) ~ (c) は本発明の第2実施形態の電子部品実装構造の製造方法を示す断面図 (その1) である。

【図6】

図6 (a) 及び (b) は本発明の第2実施形態の電子部品実装構造の製造方法を示す断面図 (その2) である。

【図7】

図7 (a) 及び (b) は本発明の第2実施形態の電子部品実装構造の製造方法を示す断面図 (その3) である。

【図8】

図8 (a) 及び (b) は本発明の第2実施形態の電子部品実装構造の製造方法を示す断面図 (その4) である。なお、図8 (b) は図8 (a) を平面方向から透視した透視平面図である。

【図9】

図9 (a) 及び (b) は本発明の第2実施形態の電子部品実装構造の製造方法を示す断面図 (その5) である。

【図10】

図10 は本発明の第2実施形態の電子部品実装構造の製造方法を示す断面図 (その6) である。

【図11】

図11 は本発明の第2実施形態の電子部品実装構造に係るその他の形態を示す断面図である。

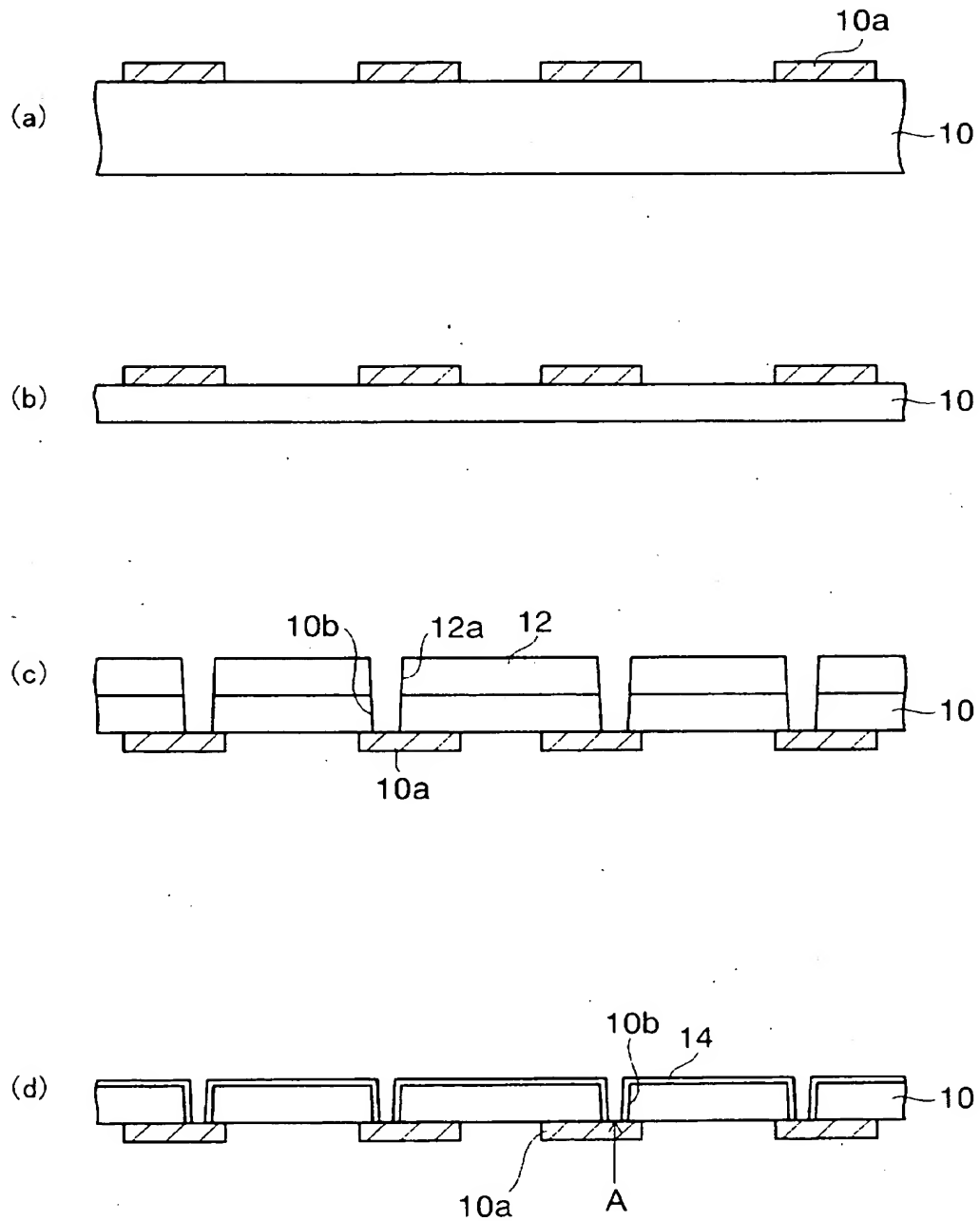
【符号の説明】

1, 1a, 1b…半導体装置、10…半導体ウェハ、10a…接続パッド、10

b…ビアホール、11…バンプ、12, 13, 19…レジスト膜、12a, 13a, 19a, 34x…開口部、15…陰極電極、16a…Cu膜パターン、16…貫通電極、18…アンダーフィル樹脂、20, 20a…半導体チップ、21…ソルダレジスト膜、30…ベース基板、30a…スルーホール、30b…スルーホールめっき層、30c…樹脂体、31…Cuプラグ、32…第1配線パターン、32a…第2配線パターン、32b…第3配線パターン、32c…第4配線パターン、33…外枠配線、33x…めっき給電部、34…第1層間絶縁膜、34a…第2層間絶縁膜、34b…第3層間絶縁膜、34x…第1ビアホール、34y, 36…第2ビアホール、38…無機絶縁膜、40…配線基板、42…Ni/Au膜。

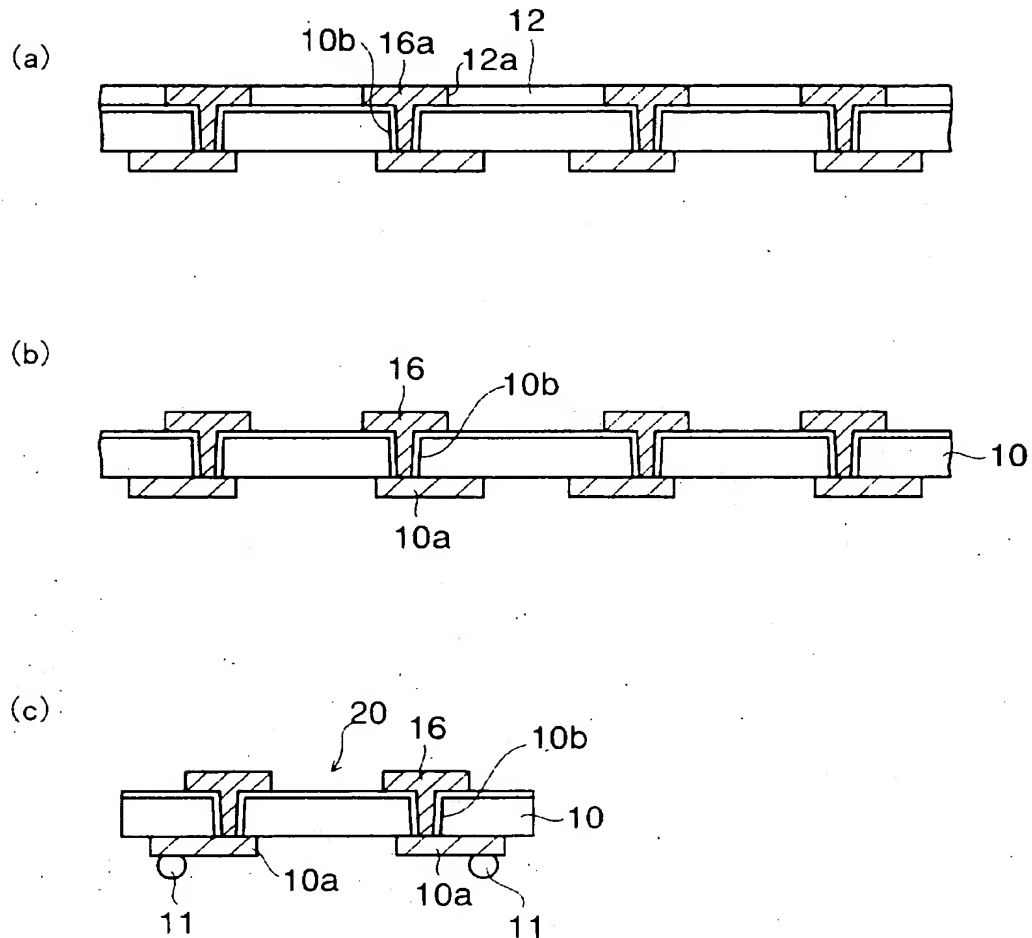
【書類名】 図面

【図 1】

本発明の第1実施形態の電子部品実装構造の  
製造方法を示す断面図(その1)

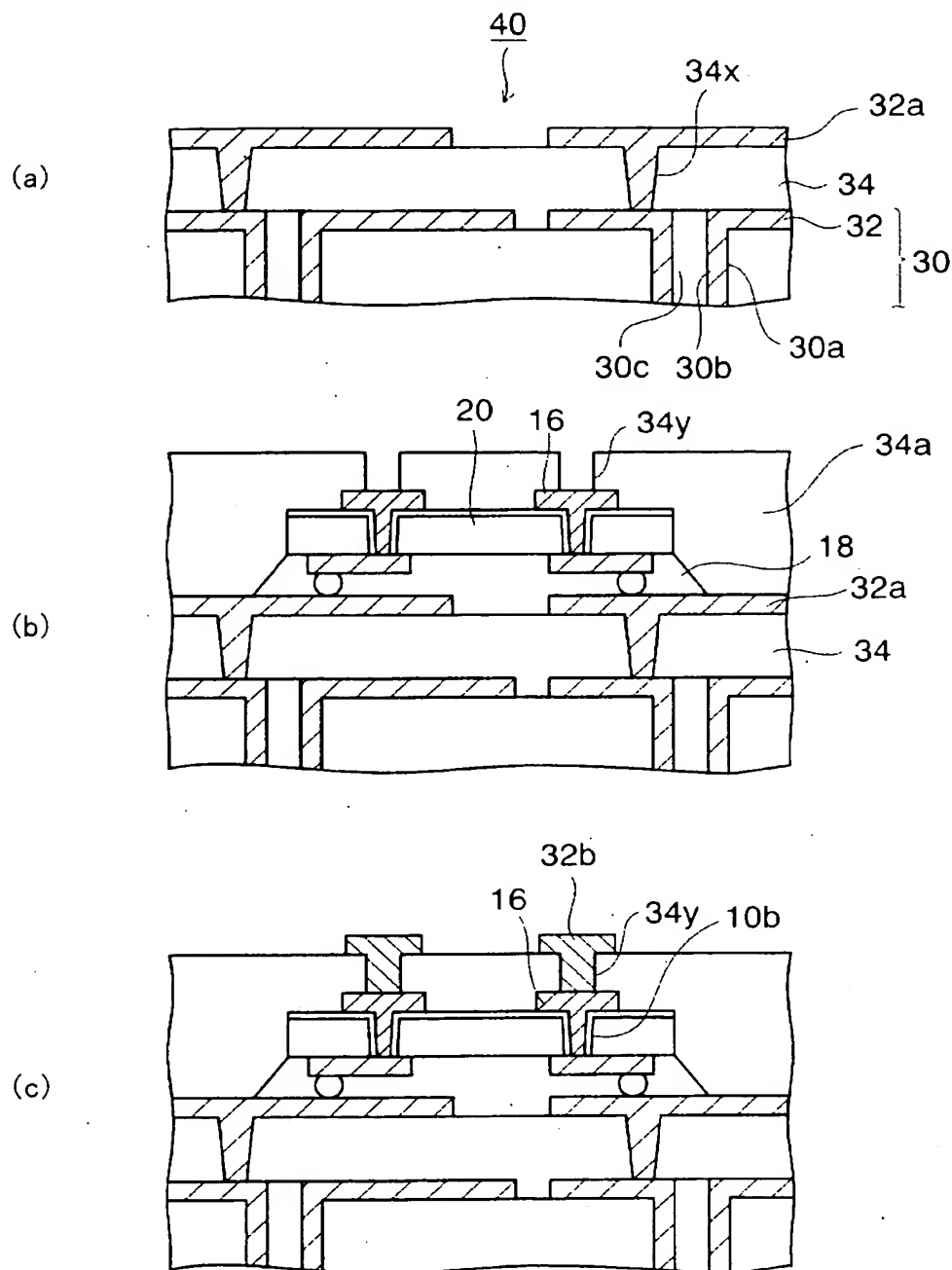
【図 2】

本発明の第1実施形態の電子部品実装構造の製造方法を示す断面図(その2)



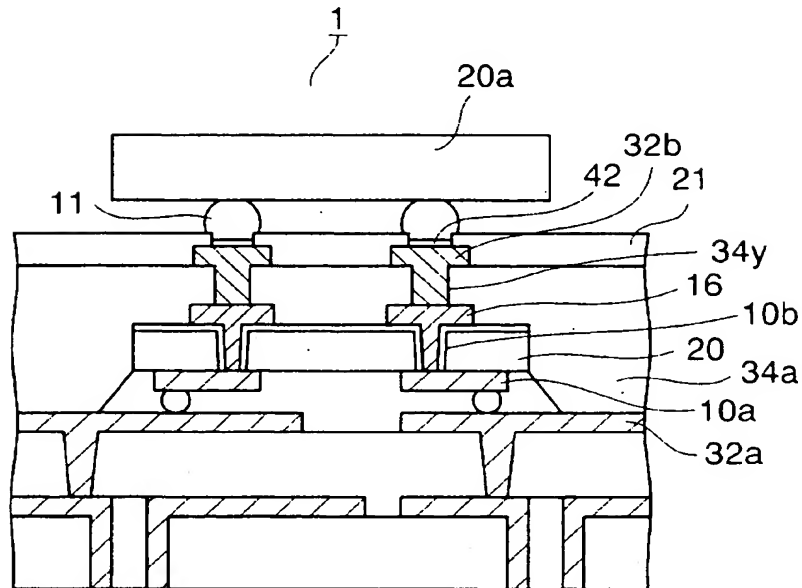
【図 3】

本発明の第1実施形態の電子部品実装構造の製造方法を示す断面図(その3)



【図 4】

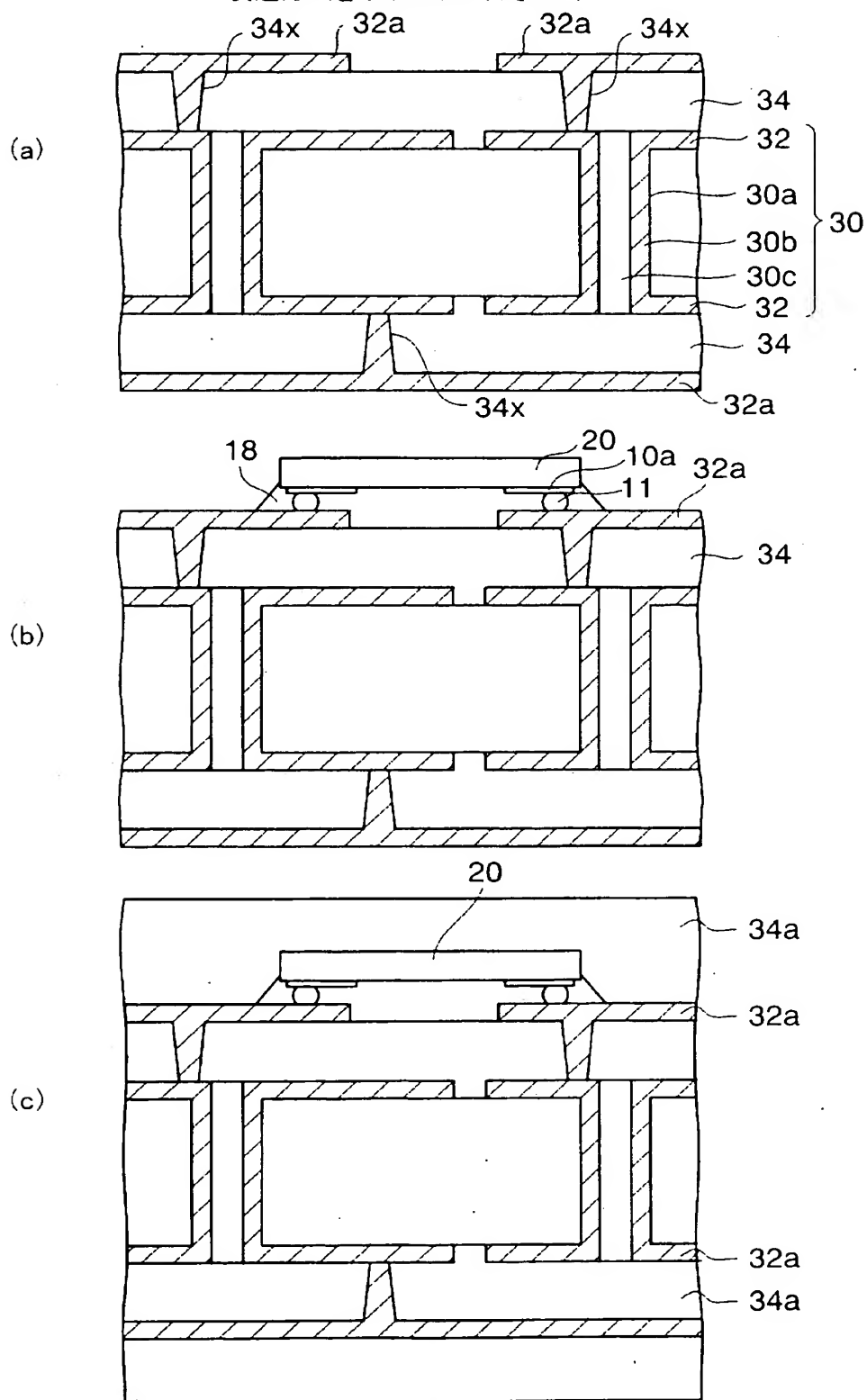
本発明の第1実施形態の電子部品実装構造の  
製造方法を示す断面図(その4)





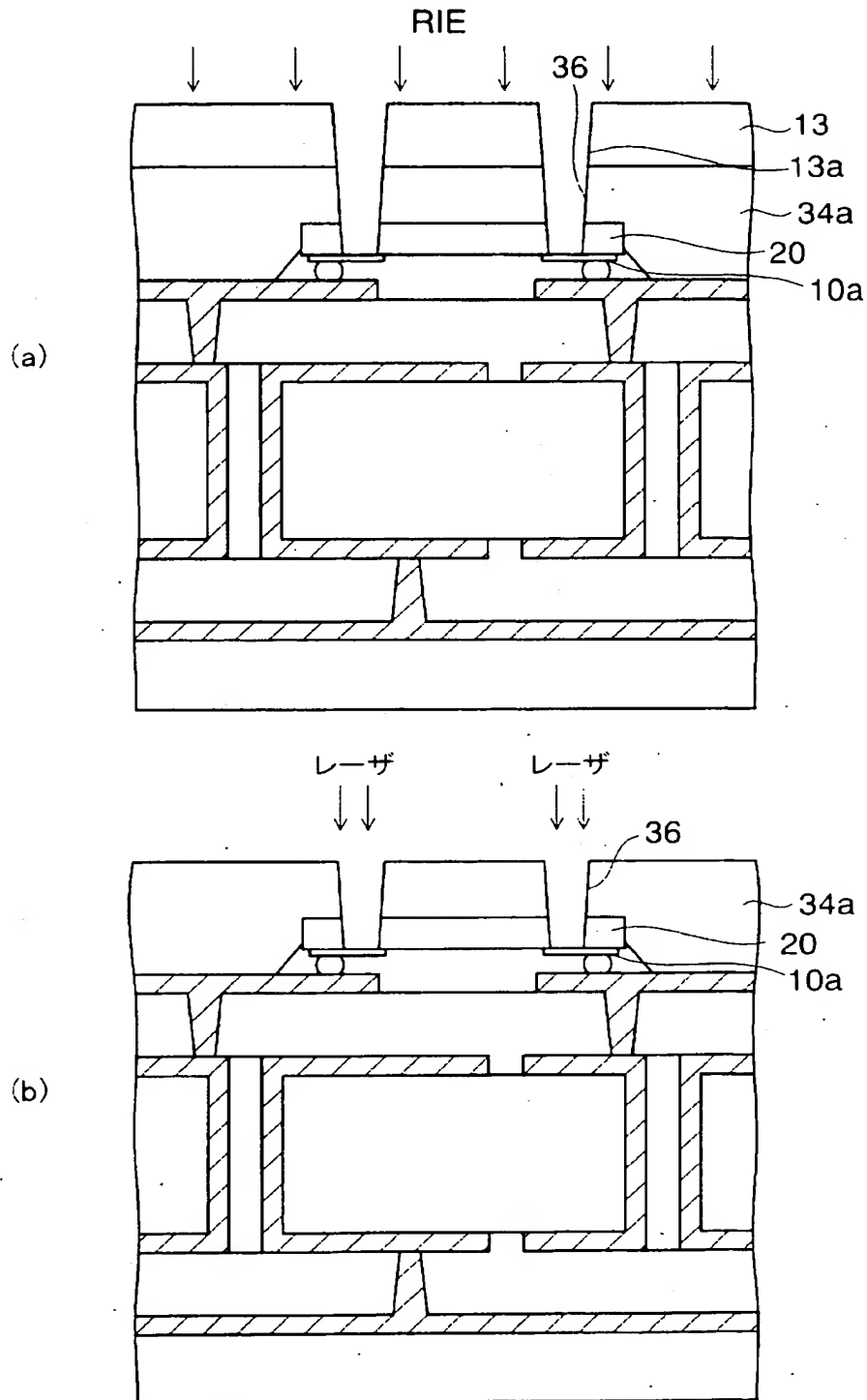
【図 5】

本発明の第2実施形態の電子部品実装構造の製造方法を示す断面図(その1)



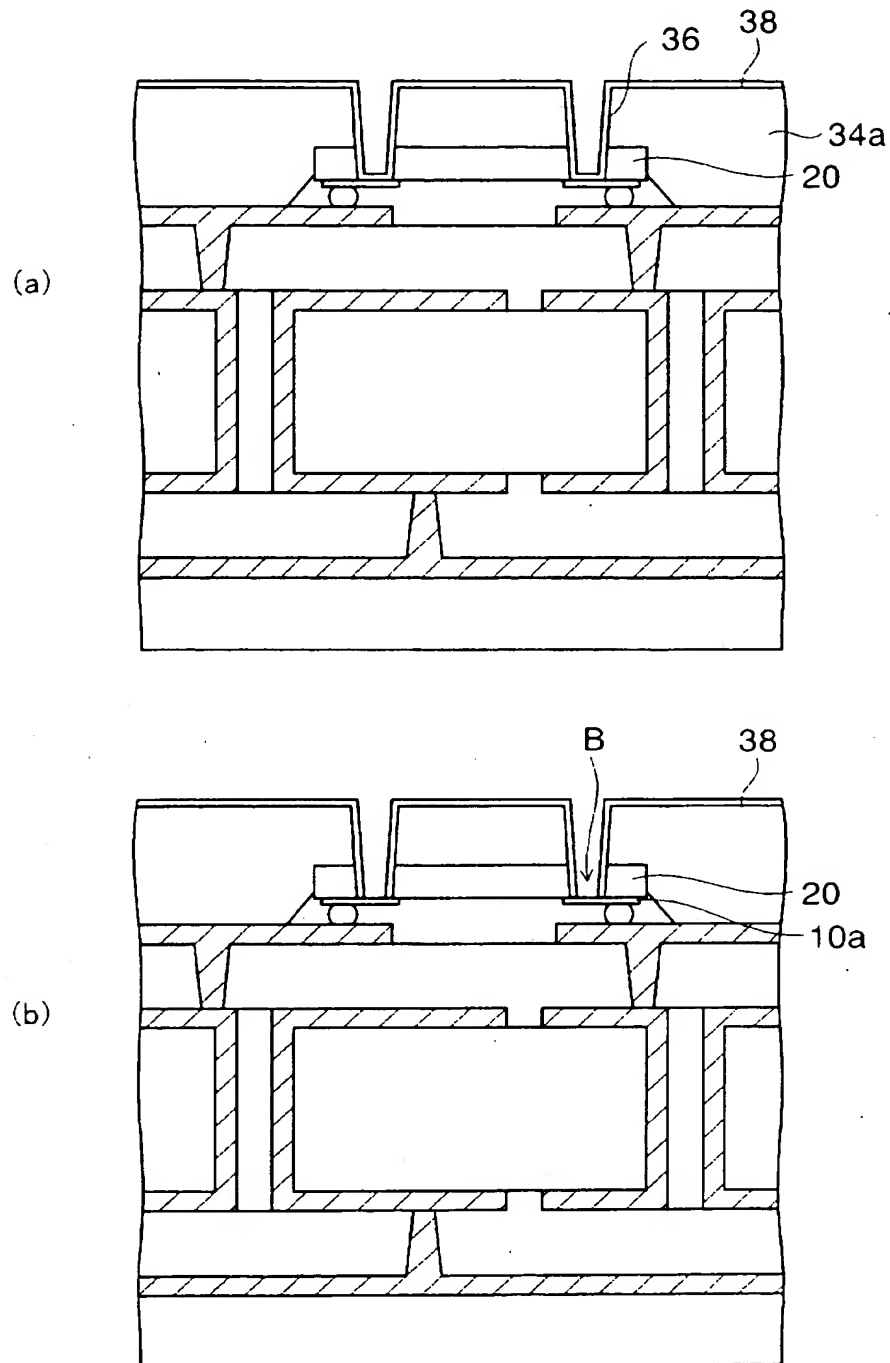
【図 6】

本発明の第2実施形態の電子部品実装構造の  
製造方法を示す断面図(その2)



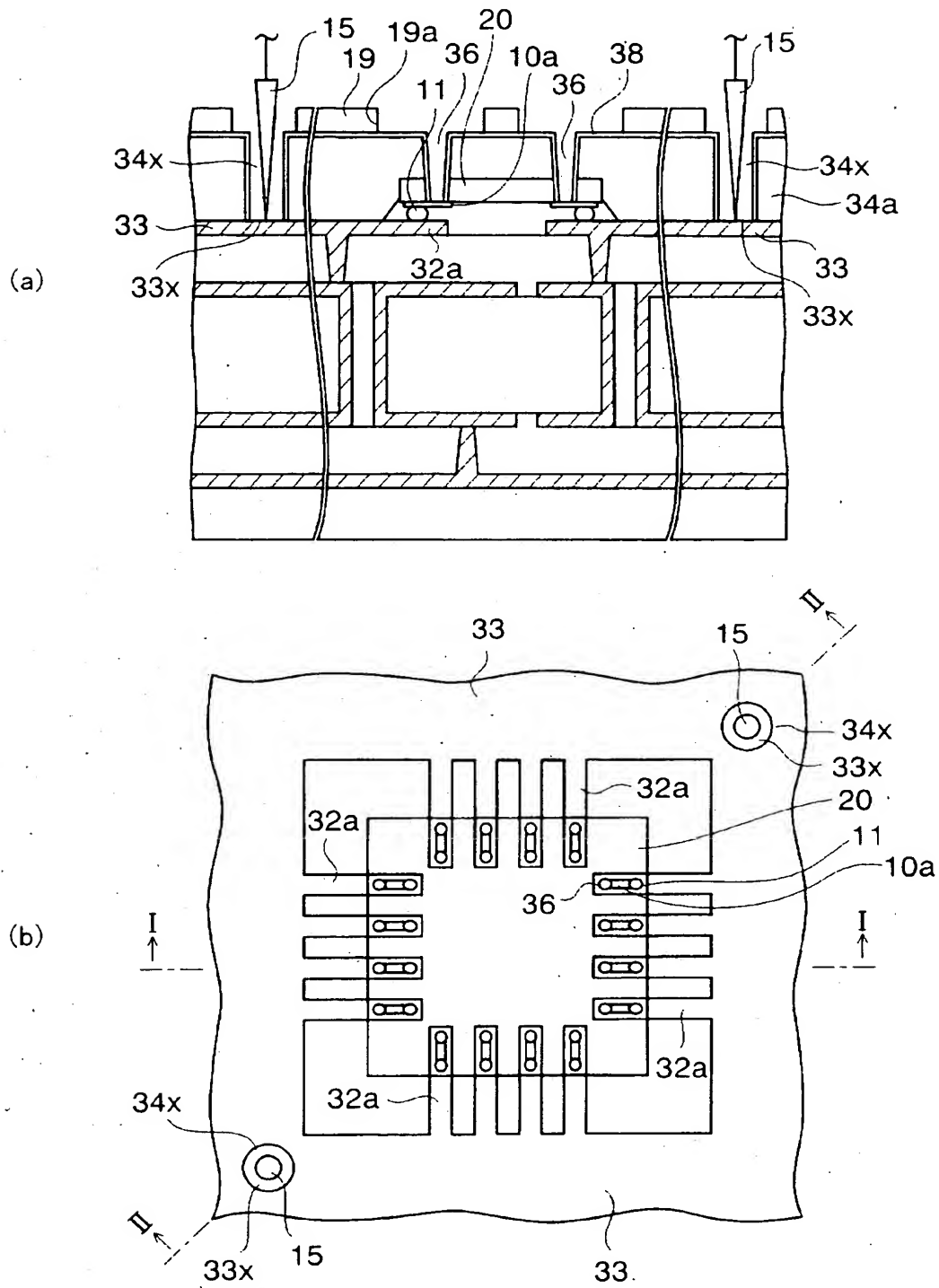
【図 7】

本発明の第2実施形態の電子部品実装構造の  
製造方法を示す断面図(その3)



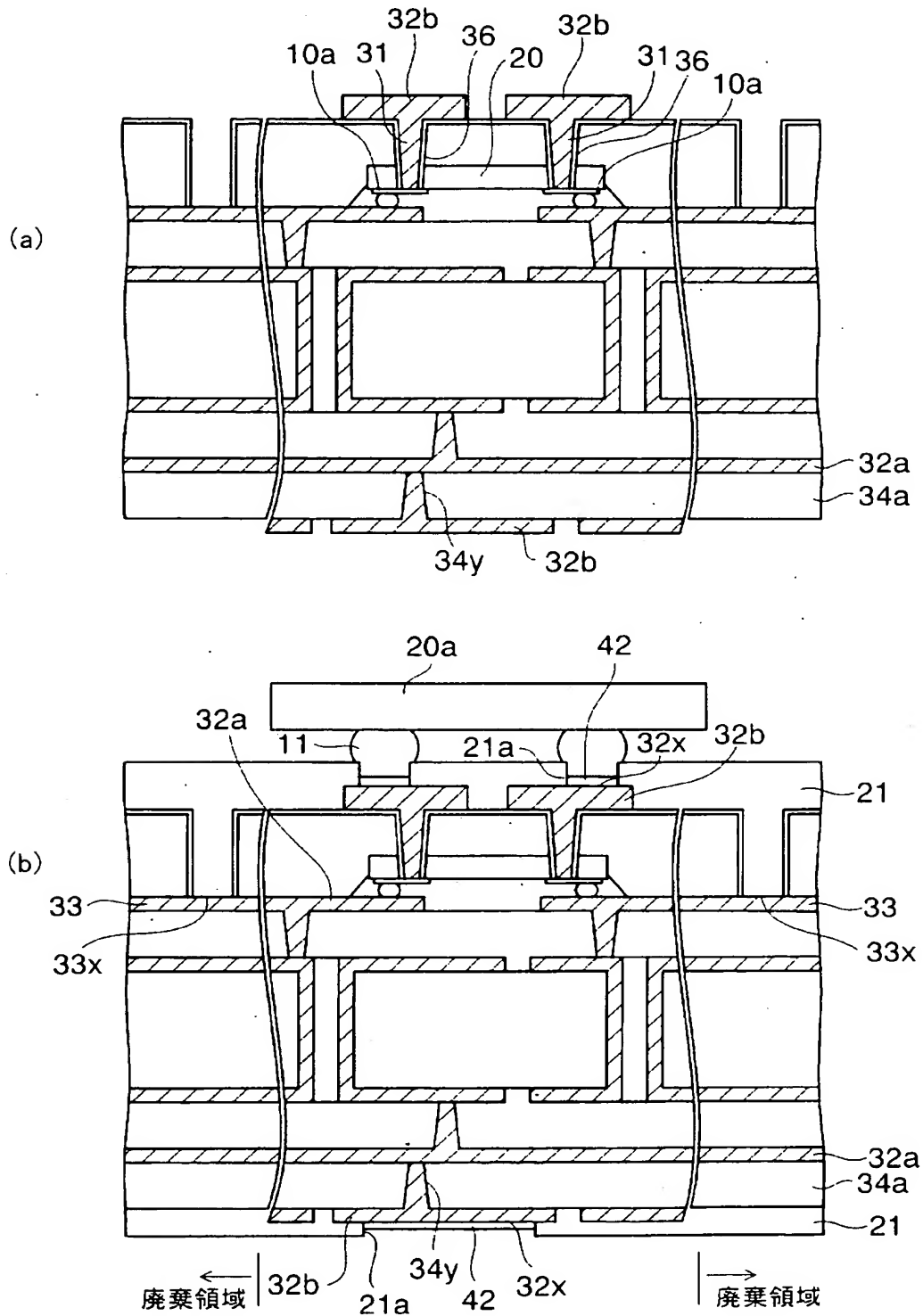
【圖 8】

本発明の第2実施形態の電子部品実装構造の製造方法を示す断面図(その4)



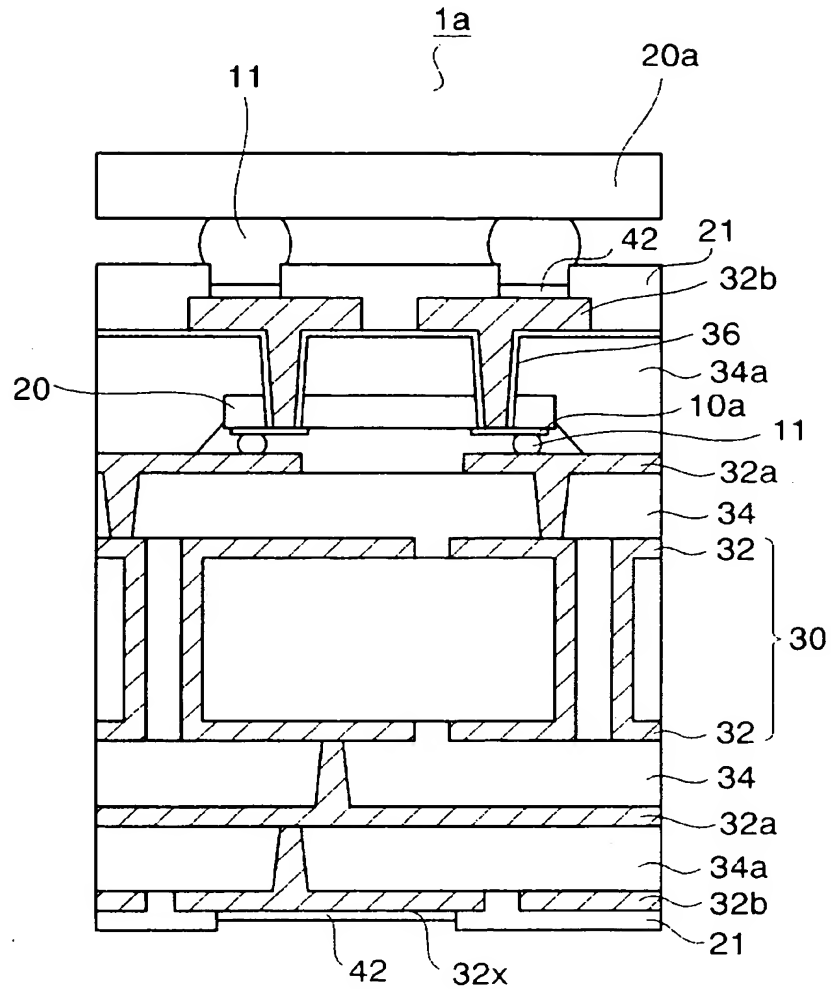
【図 9】

本発明の第2実施形態の電子部品実装構造の  
製造方法を示す断面図(その5)



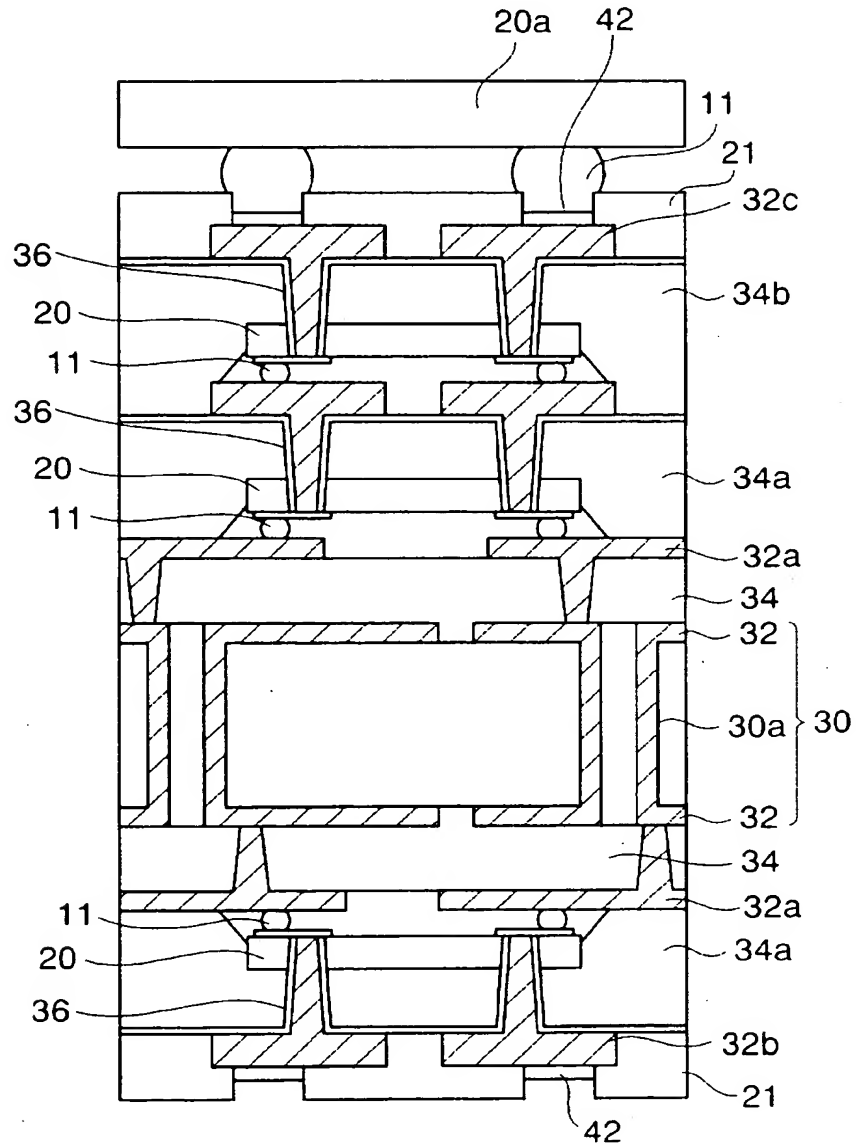
【図10】

本発明の第2実施形態の電子部品実装構造の  
製造方法を示す断面図(その6)



【図 11】

本発明の第2実施形態の電子部品実装構造の  
その他の形態を示す断面図



【書類名】 要約書

【要約】

【課題】 電子部品が絶縁膜に埋設され、また電子部品及び絶縁膜に形成されたビアホールを介して複数の電子部品が相互接続された構造を有し、かつ簡易な方法により製造することができる電子部品実装構造を提供する。

【解決手段】 所定の配線パターン 3 2 a を備えた配線基板 3 0 と、配線パターン 3 2 a に、素子形成面の接続端子 1 0 a がフリップチップ実装された電子部品 2 0 と、電子部品 2 0 を被覆する絶縁膜 3 4 a と、接続端子 1 0 a の上の電子チップ 2 0 及び絶縁膜 3 4 a の所定部に形成されたビアホール 3 6 と、絶縁膜 3 4 a 上に形成され、ビアホール 3 6 を介して、接続端子 1 0 a に接続された上側配線パターン 3 2 b とを含む。

【選択図】 図 1 0



特願 2002-351526

出願人履歴情報

識別番号

[000190688]

1. 変更年月日

1990年 8月20日

[変更理由]

新規登録

住 所

長野県長野市大字栗田字舎利田711番地

氏 名

新光電気工業株式会社

